

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:DERWENT WPI

(c) 2000 DERWENT INFO LTD. All rts. reserv.

Cy

008408173 **Image available**

WPI Acc No: 90-295174/199039

Silicon thin-film FET prodn. - by forming silicon thin film on insulator
substrate, and injecting oxygen on nitrogen ions into other region

NoAbstract Dwg 3,4/4

Patent Assignee: RICOH KK (RICO)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 2208943	A	19900820	JP 8929391	A	19890208		199039 B

Priority Applications (No Type Date): JP 8929391 A 19890208

Title Terms: SILICON; THIN; FILM; FET; PRODUCE; FORMING; SILICON; THIN;
FILM; INSULATE; SUBSTRATE; INJECTION; OXYGEN; NITROGEN; ION; REGION;
NOABSTRACT

Derwent Class: L03; U11

International Patent Class (Additional): H01L-021/33; H01L-029/78

File Segment: CPI; EPI

⑦ Int. Cl.

識別記号

庁内整理番号

⑧ 公開 平成2年(1990)8月20日

H 01 L 21/336
29/784

8624-5F H 01 L 29/78 3 1 1 Y
審査請求 未請求 請求項の数 1 (全5頁)

⑨ 発明の名称 シリコン薄膜半導体装置の製造方法

⑩ 特 願 平1-29391

⑪ 出 願 平1(1989)2月8日

⑫ 発 明 者 田 中 浩 行 東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑬ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
⑭ 代 理 人 弁 理 士 柏 木 明

明 細 書

1. 発明の名称

シリコン薄膜半導体装置の製造方法

2. 特許請求の範囲

絶縁性基板の表面にシリコン薄膜を形成し、このシリコン薄膜中のFET動作領域以外の領域に対して酸素イオン又は窒素イオンを注入して絶縁化し、この絶縁領域によりシリコン薄膜中に個別化されたFET動作領域を形成し、個別化されたこのFET動作領域についてFETを形成するようにしたことを特徴とするシリコン薄膜半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、例えばファクシミリ、イメージスキャナ等におけるセンサ駆動用TFT(薄膜トラン

ジスタ) 或いはフラットパネル型ディスプレイ駆動用TFT等として用いられるMOS FET(電界効果型トランジスタ) なるシリコン薄膜半導体装置の製造方法に関する。

従来の技術

従来、TFT構成のMOS FETとして、第3図及び第4図に示すように、ソース電極&配線1、ドレイン電極&配線2及びゲート電極3とともにシリコンによる半導体薄膜4の上部に形成するようにしたものがある。その製造方法をみると、特開昭58-28871号公報中の従来例として示されるように、まず、石英等の絶縁性基板5上に半導体薄膜4を島状に形成する。次に、この半導体薄膜4及び絶縁性基板5の全面を絶縁膜6で覆い、これをゲート絶縁膜とする。そして、半導体薄膜4の島を横切る形でゲート電極3を形成し、さらに、これらの上面を全面的に厚めの層間絶縁膜7で覆う。次に、これらの絶縁膜6、7の通所

にコンタクトホール8を形成し、ソース電極&配線1、ドレイン電極&配線2及びゲート電極用配線9を形成するというものである。

このような製造方法によると、半導体薄膜4の島状領域を横切ってゲート電極3を形成するため、ゲート電極3・半導体薄膜4間の絶縁性をよくするにはゲート絶縁膜6を厚くしなければならない。また、ゲート電極3や各配線1, 2, 9の段切れを防止するためには半導体薄膜4をより薄膜化し、かつ、その島状部分の側面を傾斜させ、かつ、ゲート電極3や各配線1, 2, 9を厚めにしなければならない。しかし、このような対処法によると、微細な寸法の電極、配線を正確に形成することが難しくなり、高集積化を図る上で不利となる。

このようなことから、例えば上記特開昭58-28871号公報に示されるように、半導体薄膜の島状領域を、FETとしての動作領域のみに形成するのではなく、ソース、ドレイン及びゲート

においては、第3図等に示す従来方式よりも段差が大きくなってしまふ。さらに、動作領域と配線の下部に半導体薄膜を残すための工程も必要であり、産業的にも不利である。

また、特開昭59-18672号公報方式による場合、選択熱酸化というプロセスを用いているため、プロセス全体の低温化を図る上で不利となる。

課題を解決するための手段

絶縁性基板の表面にシリコン薄膜を形成し、このシリコン薄膜中のFET動作領域以外の領域に対して酸素イオン又は窒素イオンを注入して絶縁化し、この絶縁領域によりシリコン薄膜中に個別化されたFET動作領域を形成し、個別化されたこのFET動作領域についてFETを形成するようにした。

作用

絶縁性基板上に形成されたシリコン薄膜につい

て電極及びこれらの電極につながる配線全体の下部領域に対しても残して形成し、この内、動作領域以外の領域については酸素イオンや窒素イオンの注入により絶縁化するようにしたものがある。これにより、FET動作領域において素子の段差が少なくなって段切れが軽減され、かつ、ゲート電極を移くことが可能でFETのしきい値電圧を下げ得るというものである。

また、特開昭59-18672号公報に示されるように、絶縁性基板上に多結晶シリコン薄膜を形成し、FET動作領域以外の領域を選択的に熱酸化してFET動作領域の分離を行うようにしたものもある。これにより、素子の段差が少なくなり、段切れを減らし得るというものである。

発明が解決しようとする課題

ところが、前者の特開昭58-28871号公報方法による場合、配線の下部の半導体薄膜のみを残して絶縁化するため、配線が交差する部分に

での部分的なイオン注入法による絶縁化処理により、絶縁領域を形成して、FET動作領域を段差の全くない状態で個別化しているの、このようなFET動作領域に対する電極配線処理等に際して、段切れの生ずる可能性が殆どなくなる。これは、配線交差部等についても同様であり、必然的な最小限の段差による交差に抑えることができ、段切れが防止される。このためにも、酸素イオン等のイオン注入法による絶縁化処理によるため、プロセスの低温化も可能となる。

実施例

本発明の一実施例を第1図及び第2図に基づいて説明する。

第1図は本実施例方法の原理を示すもので、まず、図4(a)に示すように石英等の絶縁性基板10の表面上にシリコン薄膜として、例えば多結晶シリコン薄膜11を形成する。このような多結晶シリコン薄膜11の中でFET動作領域となる領

域に対してマスク12を形成する。このようなマスク12は例えばスパッタ法によるSiO₂膜として形成される。このようなマスク12が形成された状態で、矢印13で示すように、全面的に酸素イオン又は窒素イオンの注入を行う。これにより、多結晶シリコン薄膜11はマスク12で覆われたFET動作領域以外の領域が同図(b)に示すように絶縁化されて絶縁領域11aとなる。絶縁化のためのイオン注入は、加速電圧を変えて数回又は1回行い、絶縁領域11aを完全に絶縁化する。第1図(b)に示すように絶縁領域11aが形成された状態では、多結晶シリコン薄膜11に全く段差を生ずることなく、絶縁領域11aにより個別化されたFET動作領域11bが形成されることになる。よって、この後は、FET動作領域11bについて従来法等に応じて各電極、配線、絶縁膜等を形成することによりFETを作製すればよいことになる。

電極14を多結晶シリコンにより形成する。また、マスク(ゲート絶縁膜)12なるSiO₂膜を通して、加速電圧30keV、ドーズ量 $1.0 \times 10^{17} \text{ cm}^{-2}$ にてボロンイオンの注入15を行い、多結晶シリコン薄膜11におけるFET動作領域11b中のソース及びドレインへ不純物を打ち込む。

そして、同図(c)に示すように、これらの上に層間絶縁膜16を膜厚5000Åにて堆積させ、ソース、ドレイン箇所にコンタクトホール17を形成する。この上に、Agを5000Åの膜厚で堆積させパターニングして、ソース電極&配線18及びドレイン電極&配線19を形成する。ゲート電極14に対するゲート電極用配線についても同様である。

このように、本実施例によれば、FET動作領域11bはそれ以外の全領域をなして残存する絶縁領域11aとの間で全く段差のないものとなる。

第2図には、このように個別化されるFET動作領域11bの形成を含むFET作製プロセスの一例を示す。まず、絶縁性基板11として石英板を用い、その表面上に多結晶シリコン薄膜11を減圧CVD法により堆積形成する。この時、基板温度は630℃、膜厚は1000Åとした。このような多結晶シリコン薄膜11上にRFスパッタ装置によりSiO₂を膜厚800Åに堆積形成し、フォトリソグラフィ法によりパターニングし、これをイオン注入による絶縁化のためのマスク12とする。この後で、酸素イオンを加速電圧30keV、ドーズ量 $1.0 \times 10^{17} \text{ cm}^{-2}$ で注入させ(イオン注入13)、マスク12で覆われたFET動作領域11b以外の領域の多結晶シリコン薄膜11を絶縁化する。これにより、絶縁領域11aを形成し、FET動作領域11bを個別化する。

次に、同図(b)に示すように、マスク12をそのままゲート絶縁膜として用いてその上にゲート

つまり、絶縁性基板の一部を凹ませてこの凹部のみ半導体薄膜を堆積させて基板表面と同一表面となるFET動作領域を形成したと仮定したものと等価的なものとなり、配線全体の下部も含めてFET動作領域11b等が絶縁性基板10上で島状となって存在することはない。この結果、ゲート電極や各配線が、従来のように、半導体の島状領域を横切ったり、その段差を越えるといったことがなくなり、段切れの生ずる可能性が殆どなくなる。即ち、配線部以外の領域についても多結晶シリコン薄膜11が絶縁領域11aとして残っているため、配線の交差部における段差もその交差部での下部配線側の膜厚のみとなるからである。

また、段差が軽減されることにより、ゲート電極14を薄くすることも可能であり、半導体素子表面の凹凸を軽減し、かつ、微細な電極寸法についても正確に加工しやすくなる。また、ゲート電極14が薄くなることにより、FETのしきい値電

圧を下げることもでき、スイッチング制御が容易となる。さらに、本実施例によれば、多結晶シリコン薄膜11の絶縁化を酸素イオン等のイオン注入により行うので、選択熱酸化法による場合と異なり、プロセスの低温化も可能となる。

なお、本発明は、シリコン薄膜や導体薄膜全般にあてはまるものであり、多結晶シリコンに限らず、単結晶シリコンやアモルファスシリコンによるものにも有効である。また、図示例のFET構造に限らず、例えばゲート電極にNi等の金属電極を用いた構造のものであってもよい。

発明の効果

本発明は、上述したように、絶縁性基板上に全面的に形成したシリコン薄膜中のFET動作領域以外の領域に対する、酸素イオン等のイオン注入による絶縁化処理により、絶縁領域を形成して、FET動作領域を段差の全くない状態で個別化するようにしたので、このようなFET動作領域に

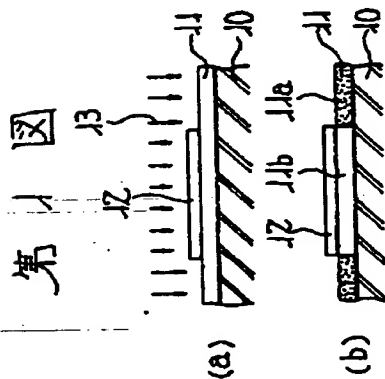
対する電圧配線処理はもちろん、配線交差部等についても、段差を必然的に生じる最小限のものとして、各部での段切れを防止でき、かつ、このためにも、酸素イオン等のイオン注入により絶縁化処理するようにしているため、プロセスの低温化も可能とすることができる。

4. 図面の簡単な説明

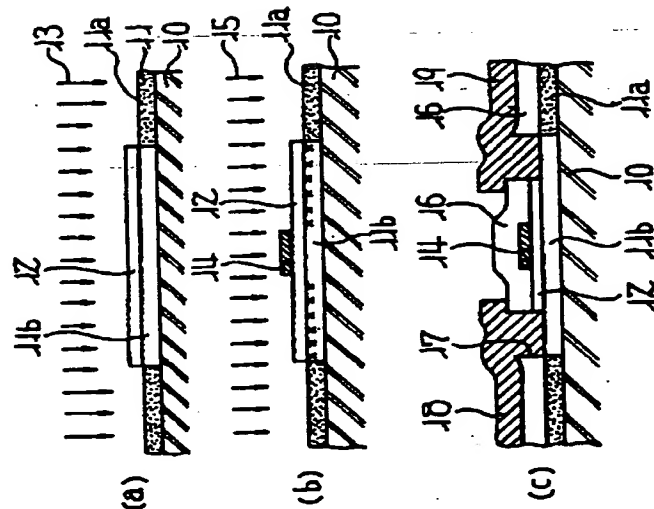
第1図は本発明の一実施例の原理を工程順に示す概略断面図、第2図はより具体的な処理を工程順に示す概略断面図、第3図は従来例を示すFETの電極、配線パターン等を模式的に示す平面図、第4図はその断面構造図である。

10…絶縁性基板、11…シリコン薄膜、11a…FET動作領域以外の領域＝絶縁領域、11b…FET動作領域、13…イオン注入

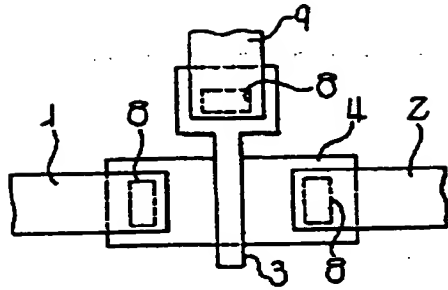
出願人 株式会社 リコー
代理人 柏 木



第2図



第 3 図



第 4 図

